

16. März 2010

Aktuelle Ausgabe EPP

- » News
- » Fachartikel

Aktuelle Ausgabe EPP Europe

- » News
- » Fachartikel

Infoservice

- » Heftarchiv
- » Leserservice
- » Redaktion
- » Mediadaten

Suche im Heftarchiv:

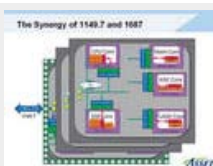
→

Bitte Sprache wählen/
Please choose your language



Fachartikel

- » [Weitere Informationen zum Fachartikel](#)
- » [Kontaktdaten des Anbieters](#)
- » [Themenverwandte Fachartikel](#)



Parallelimplementierung von 1149.7 und P1687 IJTAG in einem 3D-Chipstack



Schon vor seiner Ernennung zum President und CEO von Asset Intertech 1995 – zu diesem Zeitpunkt wurde das Unternehmen eigenständig – war Glenn Woppman als Product Manager der Asset Business Unit innerhalb des Texas Instruments-Konzerns für den gesamten Geschäftsbereich (u.a. Vertrieb, Marketing, Forschung & Entwicklung und Finanzen) verantwortlich. Er trug dazu bei, die Asset ScanWorks-Produktfamilie als eine führende Technologie in der Test-Industrie zu etablieren.

Ausgabe: 02/2010
Seite: 42
Autor: Glenn Woppman, President und CEO, Asset InterTech, Inc., Richardson, Texas/USA

Tests von 3D-Chips und Leiterplatten entscheidend vorangebracht

TAP und IJTAG: Synergie zweier zukunftsträchtiger Standards

Zwei neue IEEE-Standards stehen kurz vor ihrer Ratifizierung, die jeweils für sich genommen schon erhebliche Auswirkungen auf die Charakterisierung, das Debugging und das Testen von 3D-Multi-Die-Chips haben werden. Kombiniert bieten die beiden Standards das Potenzial, die Ausbeute in der 3D-Chip-Herstellung zu erhöhen, die Testentwicklungskosten über den gesamten Produktlebenszyklus hinweg zu reduzieren und die Time-to-Market für die Systemhersteller zu verkürzen.

Die beiden Standards, von denen hier die Rede ist, sind der IEEE 1149.7 für einen Test Access Port (TAP) mit reduzierter Pinzahl und erweiterter Funktionalität sowie der IEEE P1687 Internal JTAG (IJTAG) Standard für den Zugriff auf Instrumentation, die im Chip eingebettet ist. Beide werden den Erwartungen nach in nächster Zeit ratifiziert (1149.7 in der ersten Jahreshälfte 2010, P1687 soll in der zweiten Hälfte 2010 folgen). Mit seiner ScanWorks-Plattform für eingebettete Instrumentation verfügt Asset InterTech über die besten Voraussetzungen, das Potenzial dieser Standards vollständig auszuschöpfen. Bei ScanWorks handelt es sich um eine offene Plattform, in die sich neue Funktionen rasch einbinden lassen. Darüber hinaus besetzen Experten von Asset InterTech führende Positionen in den Arbeitsgruppen, die die beiden Standards entwickeln. Al Crouch, Chief Technologist–Core Instrumentation von ASSET, ist Co-Chairman der P1687 Arbeitsgruppe und Adam Ley, Chief Technologist Boundary Scan, hat die entscheidenden Beiträge zum Test-Content geliefert, der im 1149.7 Standard enthalten ist.

Profil / Information

- » Was ist Online-Info
- » Anmelden
- » Daten ändern

Suche

Heft/Jahrgang:
02/2010

Kennziffer:

→

Artikelauswahl ansehen



- » Firmendatenbank





Al Crouch ist als Chef-Technologie bei Asset InterTech für den Themenkomplex Instrumentierung und damit auch für das Thema Embedded Instrumentation verantwortlich.

Die Fortschreibung des Mooreschen Gesetzes

Nach Ansicht mancher Branchenexperten bieten 3D-Chip-Gehäuse, die mit mehreren Halbleiter-Dies arbeiten, der Industrie das effektivste Konzept zur Fortschreibung des Mooreschen Gesetzes, das eine Verdoppelung der Leiterbahndichte für alle 18 Monate bis zwei Jahre voraussagt. Die physikalischen Gegebenheiten der Chipherstellungsprozesse mit Geometrien unter 90 Nanometer (nm) stellen riesige Herausforderungen. Für manche Systemhersteller ist es deshalb einfacher, Multi-Die-Komponenten auch weiterhin mit einer größeren Prozessgeometrie zu fertigen und in 3D-Gehäuse einzubauen, anstatt auf die

Produktion von Chips mit kleineren Geometrien im Submikrometerbereich umzustellen. Dadurch wird die kritische Bedeutung von Standards verstärkt, die die Charakterisierung, das Debugging und das Testen von 3D-Chips festschreiben, bevor sie auf Leiterplatten aufgebracht werden, und die Vorgaben für die Validierung, das Debugging und das Testen von Leiterplatten enthalten, nachdem sie mit 3D-Chips bestückt wurden. Die beiden kommenden Standards – 1149.7 und P1687 – lösen dieses Problem für ungehäuste Chips („Bare Die“), für gehäuste Chips und für Leiterplatten.

Eingebettete Instrumentierung

Bereits seit mehreren Jahren betten Chiphersteller Test- und Messinstrumentation in ihre Komponenten ein, um sie intern zu verifizieren und zu testen, anstatt externe Methoden zu verwenden. Beispielsweise werden schon seit einiger Zeit BIST-Komponenten (Built-In Self Test) für Memory- und Logik-Tests sowie interne Scan-Bausteine in Chips eingebettet. Ein Beispiel für proprietäre eingebettete Instrumentierung (Embedded Instrumentation) ist der Interconnect Built-In Self Test (IBIST) von Intel, den das Unternehmen in seine Chips und Chipsätze der nächsten Generation einbettet. Gestützt wird dieser Trend dadurch, dass sich externe Testsysteme, die mit Sonden arbeiten, immer häufiger als unzulänglich erweisen – beispielsweise Oszilloskopen, Logik-Analyzer, ICT-Verfahren (In-Circuit Test), MDAs (Manufacturing Defect Analyzer), Flying-Probe-Tester und andere Verfahren und Systeme, bei denen ein physischer Kontakt zwischen den Pins auf den Chips und den Testpads auf den Leiterplatten hergestellt werden muss. Die Elektronikindustrie ist heute auf einem technologischen Stand, bei dem dieser physische Kontakt die Charakterisierungs-, Validierungs- und Test-Messergebnisse so stark stören und verfälschen kann, dass keine Unterscheidung mehr zwischen echten Defekten oder Fehlfunktionen und Anomalien möglich ist, die durch diesen physischen Kontakt hervorgerufen werden.

Eine Lösung ist die vollständige Vermeidung von physischen Kontakten im Testprozess, indem die Instrumentation in die Chips eingebettet und in Chip- und Leiterplattentestapplikationen genutzt wird. Mit dem Bedarf nach eingebetteter Instrumentation hat sich auch die Notwendigkeit von Standardmethoden für die Ansteuerung, Automatisierung und Auswertung der Ausgabe der Instrumente entwickelt. Deshalb haben sich Vertreter aus den unterschiedlichsten Teilbereichen der Elektronikindustrie zusammengefunden, um die 1149.7 und P1687 Standards zu entwickeln.

Die Ausweitung von Boundary-Scan auf 3D-Chips

Auf der untersten Ebene übernimmt der IEEE 1149.7 Standard die Methoden für den Zugriff auf Chips und Strukturen auf Leiterplatten,

die schon im ursprünglichen Boundary-Scan-Standard (IEEE 1149.1) bei seiner Entwicklung Mitte der 1990er Jahre festgeschrieben wurden. (Der Boundary-Scan-Standard wird auch als JTAG nach der Joint Test Action Group genannt, die seine Entwicklung initiiert hat.) Boundary-Scan-Zugriff wird bei verschiedenen Anwendungen genutzt, unter anderen bei Leiterplattentests oder bei der In-System-Programmierung von Chips.

Kompatibilität mit Boundary Scan-Standard

Die 1149.7 Arbeitsgruppe hat sehr viel Aufwand betrieben, um sicherzustellen, dass dieser neue Standard vollständig mit dem ursprünglichen 1149.1 Boundary-Scan-Standard kompatibel ist. Wie schon der Name des neuen Standards deutlich macht, hat sich die Arbeitsgruppe zum Ziel gesetzt, einen TAP (Test Access Port) auf der Chipebene und eine zugehörige Architektur zu entwickeln, die einen reduzierten Pincount und verbesserte Funktionalität im Vergleich zum 1149.1 bieten. Anstelle der Vierdraht-Schnittstelle mit einer optionalen fünften Leitung des 1149.1 Standards arbeitet der TAP des 1149.7 mit einer Zweisignallösung, wobei aber eine 1149.7-Implementierung auch alle vier (bzw. fünf) Signale aufweisen kann.

1149.7-Standard bietet Verbesserungen

Darüber hinaus bietet der 1149.7 Standard einige Verbesserungen an der Architektur. Beispielsweise ist die Unterstützung von mehreren On-Chip-TAP-Controllern des 1149.1-Standards nach dem 1149.7-Standard möglich. Diese und andere Leistungsmerkmale des 1149.7-Standards – beispielsweise die reduzierte Anzahl von Pins, eine neue „glueless“ (direkt zusammengeschaltete) Sterntopologie und Kompatibilität mit TSVs (Through-Silicon Vias) – unterstützen die Ingenieure mit erheblich erweiterten Funktionen für das Testen von eingebetteten Cores oder 3D-Chips als individuelle Komponenten und nach ihrem Auflöten auf eine Leiterplatte.

Eingebettete Instrumentierung ansteuern

Der P1687 IJTAG Standard nutzt 1149.1 Boundary-Scan für den physischen Zugriff auf die eingebettete Instrumentation in den Chips. Da das IP (Intellectual Property) für eingebettete Instrumentierung aus den unterschiedlichsten Quellen stammen kann – beispielsweise von Chiplieferanten, Drittanbietern, EDA-Tools oder In-House-Designabteilungen – ist P1687 als Standardmethode für die Ansteuerung, Analyse, Beschreibung und Verwendung von eingebetteter Instrumentation ausgelegt, unabhängig davon, woher die jeweilige Technik kommt.

P1687 IJTAG unterstützt eine Reihe von Funktionen, die die Testfähigkeit eines Einzel-Chips oder eines Mehrfach-Die in einem 3D-Chip verbessern. Beispielsweise könnte IJTAG zur Automatisierung und zur zeitlichen Steuerung des Parallelbetriebs von mehreren eingebetteten Instrumenten genutzt werden. Eine eingebettete Logik-BIST-Komponente für Chip-Tests könnte simultan mit einem Spannungsmonitor betrieben werden, der für die Ausbeuteanalyse gedacht ist. Durch diese Parallelnutzung der beiden eingebetteten Systeme lässt sich beispielsweise ermitteln, ob Fehler, die auf ATE- oder Leiterplattenebene festgestellt werden, auf einen Spannungsabfall zurückzuführen sind.

Die Kombination der beiden Standards

Werden 1149.7 und P1687 in einem Chip, in einer 3D-Multi-Die-Komponente oder auf einer Leiterplatte zusammen implementiert, dann bilden die beiden Standards eine leistungsstarke Lösung für die Charakterisierung, das Debugging und das Testen auf der Chipebene und für die Validierung, das Debugging und das Testen auf der Leiterplatten- und Systemebene. Die Übertragbarkeit dieser Testmethoden von der Chipebene bis hinauf zur Systemebene bietet den Herstellern enorme Vorteile. Bislang wurden in jeder Chip- und System-Entwicklungsphase die Charakterisierungs-, Validierungs-, Debugging- und Test-Routinen unabhängig voneinander erzeugt. Das hat dazu geführt, dass die Charakterisierungs- und Testroutinen auf der Chip-Ebene nicht mit den Komponenten übernommen werden

konnten, wenn diese auf Leiterplatten bzw. in Systemen implementiert wurden. Es mussten vielmehr neue Testroutinen für die Leiterplatten und dann nochmals für die Systeme entwickelt werden. Durch eingebettete Instrumentation und das Zusammenspiel von 1149.7 und P1687 könnte sich das ändern. Die Folge ist, dass Testroutinen, die für Instrumente, Cores und Chips entwickelt wurden, mit diesen Komponenten übernommen und im gesamten Lebenszyklus des Systems verwendet werden können. Beispielsweise funktioniert die Procedural Description Language (PDL) des P1687 Standards ganz ähnlich wie die Boundary Scan Description Language (BSDL) des 1149.1 Standards. PDL unterstützt die Übernahme und unbegrenzte Wiederverwendung von Vektoren auf der Instrumentenebene. Und noch besser: Das Ergebnis sind gründlichere Tests und enorme Kosteneinsparungen aufgrund eines erheblich geringeren Aufwands für die Testentwicklung.

Asset zeigt auf, wie der 1149.7 und der P1687 Standard in einem 3D-Chipgehäuse implementiert werden können. Das Grundprinzip gilt jedoch auch analog für Single-Die-Chips und Implementierungen auf der Leiterplattenebene.

Die gestapelten Multi-Die-Komponenten in dieser Abbildung sind vertikal über TSVs (gelbe Punkte) und über eine Zweidrahtimplementierung des 1149.7-Standards verbunden. Eine Sternarchitektur für die Kommunikation auf jedem Die verbindet alle verschiedenen Cores auf diesem Die. Eine P1687 JTAG-Schnittstelle in den eingebetteten Instrumenten wird für die standardisierte Ansteuerung und Koordinierung aller Operationen genutzt. Durch die weitgehende Standardisierung dieses Szenarios können Tools von Drittanbietern wie z.B. die ScanWorks-Plattform von Asset für eingebettete Instrumentation als Test-Executive zur Ausführung aller möglichen Testroutinen für Chips, Leiterplatten und Systeme eingesetzt werden. Und da ScanWorks eine offene Plattform ist, können Tools oder Prozesse anderer Anbieter in die Plattform eingebunden werden, um deren Funktionalität zu erweitern.

Neue Standards brauchen Zeit für Verbreitung

Natürlich brauchen neue Standards Zeit für ihre Implementierung und Verbreitung in der Industrie, aber die Vergangenheit hat gelehrt, dass offene Standards den Grundstein für die Entwicklung von Märkten legen können, in denen Technologieanbieter bei der Entwicklung möglichst kostengünstige Lösungen miteinander konkurrieren und Innovationen schaffen. Dieser Effekt wird sich mit Sicherheit auch auf dem Markt für Embedded Instrumentation-Tools für Single-Die-Chips, komplexe SoCs (System-on-Chips), Multiple-Die-3D-Chips, Leiterplatten und Systeme einstellen.

www.asset-intertech.com

epp475



Informationen anfordern

Zu folgenden Kennziffern weitere Informationen anfordern:

475

 →

Themenverwandte Fachartikel

Weitere Fachartikel zum Thema

» [Elektronikproduktion](#)

» [Qualitätssicherung](#)

[» Qualitätssicherung / Qualitätsmanagement](#)

Weitere News zum Thema:

[» Elektronikproduktion](#)

[» Qualitätssicherung](#)

[» Qualitätssicherung / Qualitätsmanagement](#)

.....

Infoseiten:

[» Was beinhaltet Online-Info generell?](#)

[» Wie funktioniert Online-Info?](#)

