

Technologie gibt Richtung für die Industrie vor

Berührungsloser Boardtest – was ist das?

Im Gegensatz zu den elektronischen Testtechnologien der früheren Generationen muss beim berührungslosen Boardtest keine Metallsonde an eine Leiterplatte, an ein Testpad oder an einen Chip-Pin angelegt werden, um den Stromdurchgang zwischen dem Chip und den Bahnen der Leiterplatte zu testen.



Bild: ASSET InterTech Inc

Als softwaregesteuerte Technologie ist berührungsloser Boardtest (NBT Non-intrusive Board Test) nicht so hardwarelastig wie die alten, kontaktgebundenen Testmethoden. Bei berührungslosen Leiterplattentests sorgt ein einfacher Steckverbinder auf der Platine für die Verbindung zwischen dem Board und der NBT-Teststation, die in der Regel ein PC ist, auf dem Testsystemsoftware und andere Tools laufen.

Vielfach nutzen NBT-Testtechnologien den JTAG-Port (d. h. den Test Access Port nach Definition im IEEE 1149.1 Boundary Scan-Standard) für den Zugriff auf die Leiterplatte, wobei dafür aber auch andere Schnittstellentechnologien eingesetzt werden können. NBTs arbeiten darüber hinaus auch mit Test-IP in Chips und auf Leiterplatten. Beim Boundary-Scan enthalten z. B. standardkonforme Chips mehrere Testregister, und Leiterplatten sind so konstruiert, dass Boundary-Scan-Zugriffe und -Tests darauf durchgeführt werden können.

Im Prinzip wenden NBT-Technologien elektrische Testmuster an, die intern in der Leiterplatte abgearbeitet werden. Diese Tests

prüfen das Board, die Ergebnisse werden beobachtet und Fehler in der strukturellen Integrität der Leiterplatte werden registriert. Umfassende Diagnosefunktionen lokalisieren die Fehler, um eine rasche Korrektur zu ermöglichen. NBT ist aus der Not der Not geboren. Viele Bausteine lassen sich mit physischen Kontakten zum Testen des Stromdurchgangs oder der strukturellen Integrität von Leiterplatten nicht mehr zuverlässig prüfen. Dieser Trend wird durch Entwicklungen in mehreren verschiedenen Bereichen vorangetrieben.

So war es bis vor Kurzem gängige Designpraxis, Testpads auf der Board-Oberfläche anzubringen – kleine Kontaktpunkte auf den Interconnect-Bussen einer Leiterplatte. Diese wurden für den physischen Zugriff zu Testzwecken auf die zugrunde liegenden Busse genutzt. Seit ein paar Jahren befinden sich aber schnelle serielle Interconnects wie PCI Express 2.0 oder 3.0, Fibre Channel, 10-Gbit/s-Ethernet, InfiniBand, QuickPath Interconnect (QPI) von Intel und andere auf dem Vormarsch. Wird eine Metallsonde an ein Testpad auf diesen seriellen High-Speed-Interconnects angelegt, führt das eventuell zu Anomalien der Signalintegrität. Belastbare Testresultate lassen sich so nicht erzielen. Testpads und Sonden verursachen Kapazität auf dem Bus und machen so jede kontaktgebundene Testmessung unzuverlässig. Die Ansteuerung der IC-Pins macht ebenfalls schon seit einiger Zeit Probleme. Die Gerätepins verschwinden entweder zugunsten von Metallkugeln, die unerreichbar sind, weil sie unter dem Silizium-Die in BGA-Gehäusen angebracht sind. Oder die Pins sind so klein geworden, dass sie einzeln nicht korrekt geprüft werden können. Darüber hinaus sorgt eine ganze Reihe technologischer Fortschritte dafür, dass sich die Teststrategien von den älteren kontaktgebundenen Prüftechnologien gewentwckeln. Einige Industriestandards

des IEEE tun noch das ihrige dazu. Beispielsweise definiert der IEEE 1149.7 Standard eine kompakte Zweidraht-Boundary-Scan-Schnittstelle und erweitert den ursprünglichen Standard mit Testfunktionen für Multi-Die-Chips wie z. B. SIPs (System-in-Package) oder SoCs (System-on-a-Chip) und andere. Andere Standards, die auf Boundary-Scan-Technologie basieren, wie der IEEE P1687 für das Management von in Chips integrierte Messsysteme, oder der IEEE 1149.6 für das Testen von AC-gekoppelten Netzen, finden in der Branche rasche Verbreitung. Ein verwandter Standard, der IEEE 1500, definiert ein Verfahren für Prozessor-Core-Wrapper-Tests. Für Chip-Tests ist dies das Pendant zu Boundary-Scan für Leiterplattentests. Einige der derzeit implementierten Testtechnologien fallen in die NBT-Kategorie, darunter der Boundary-Scan-Test, das PCT-Verfahren (Processor-Controlled Test) und zahlreiche BIST-Methoden (Built-In Self Test) wie z. B. der Intel IBIST (Interconnect Built-In Self Test).

Boundary-Scan Test

Der Boundary-Scan-Test, der auf dem IEEE 1149.1 Boundary Scan-Standard basiert, wurde Mitte der 1990er entwickelt. Auslöser dafür war, dass die Pins aufgrund ihrer engen Abstände nicht mehr geprüft werden konnten bzw. dass die Pins unter dem Silizium-Die in den BGA-Gehäusen verschwanden. Boundary-Scan-Tests werden mittels eines Steckverbinders auf einer Leiterplatte und der Vierdrahtschnittstelle auf dem Boundary-Scan TAP (Test Access Port) durchgeführt. Auf Chips wird diese Schnittstelle in der Regel als „JTAG-Port“ bezeichnet, was von der Joint Test Action Group herrührt, dem inoffiziellen Namen der Arbeitsgruppe, die die Entwicklung des Standards begann. Der Boundary-Scan-Standard wurde auf breiter Front in der Industrie eingeführt und findet sich jetzt in Chips, auf Leiterplat-

AUTOR

Alan Sguigna ist Vice President Sales and Marketing der ASSET InterTech, Inc.

ten und in Systemen. Aufgrund dieser flächendeckenden Akzeptanz wurde die Boundary-Scan-Infrastruktur auch von anderen Anwendungen und verwandten Standards übernommen. Sie wird z. B. zur In-System-Programmierung von Logik- und Speicherbausteinen genutzt und bildet die Basis des IEEE 1149.6 Standards für Tests von AC-gekoppelten High-Speed-Interconnects. Wie bereits erwähnt, ist der neue IEEE 1149.7 Standard eine Erweiterung des ursprünglichen 1149.1 Standards und arbeitet mit einer kompakten Zweidrahtschnittstelle, wahrt dabei aber die Kompatibilität mit dem zugrunde liegenden 1149.1 Boundary Scan-Standard. Verschiedene andere verwandte Standards nutzen ebenfalls die eingebettete Boundary Scan-Infrastruktur in Chips und auf Leiterplatten.

Processor-Controlled Test

PCTs nutzen die Boundary-Scan-Infrastruktur für den Zugriff auf den Prozessor einer Leiterplatte. Die Steuerung des Prozessors wird dabei vorübergehend an das PCT-System übergeben. So können die Testalgorithmen mit Prozessorgeschwindigkeit durch die I/O-Pins angewendet werden, die die Bausteine auf der Leiterplatte mit dem Prozessor verbinden. Auf diese Weise verteilt der PCT die Testmuster über den Prozessor bis zu den strukturellen Interconnects auf der Leiterplatte. Mit dem PCT-Verfahren lässt sich nicht nur die Funktionalität der Leiterplatte prüfen, sondern es können auch Strukturfehler erkannt und diagnostiziert werden.

Built-in Self Test

Im Zusammenhang mit NBT-Verfahren bezieht sich BIST auf Tests von Mechanismen

oder Instrumenten, die in Chips eingebettet sind und die in berührungslosen strukturellen Boardtest-Applikationen angewendet werden können. Ein Beispiel dafür ist die IBIST-Technologie (Interconnect Built-in Self Test) von Intel, die Intel und andere Halbleiter- und IP-Anbieter in die Chips und Chipsets der nächsten Generation einbetten. Die eingebettete Intel IBIST-Funktionalität ist flexibel nutzbar, beispielsweise kann sie für Strukturtests im Rahmen von NBT-Applikationen eingesetzt werden. Sie lässt sich aber auch in Design-Validierungs-Anwendungen zur Überprüfung der Leistung von seriellen High-Speed-Bussen auf Leiterplatten verwenden.

NBT für Embedded Instruments

Aus mehreren Gründen ist die ScanWorks Plattform für eingebettete Instrumentation besonders gut für NBT-Anwendungen geeignet. Erstens stellt sie die Zugriffs-, Automatisierungs- und Analyse-Funktionen bereit, die für berührungslose Boardtests erforderlich ist. Beim kontaktlosen Zugriff hat sich ScanWorks als das führende Tool für Boundary-Scan-Tests etabliert, wobei in der Zukunft aber auch andere Schnittstellentechnologie die Grundlage für den Zugriff auf NBT-Technologien bilden könnten. Neben dem Zugriff ermöglicht ScanWorks auch die Automatisierung des Einsatzes von mehreren berührungslosen Testtechnologien wie Boundary-Scan, PCT und Intel IBIST, wobei verschiedene Technologien unter dem Dach einer einheitlichen Teststrategie zusammengeführt werden. Die NBT-Testtechnologien liefern Ergebnisse, die anschließend auch ausgewertet werden müssen. ScanWorks stellt dazu Diagnose- und Debugging-Tools be-

reit, die eine systematische Interpretation der Testdaten ermöglichen, die der berührungslose Boardtest geliefert hat.

Der zweite Faktor ist der Synergieeffekt, der sich aus der Verknüpfung der führenden Tools für Boundary-Scan-Test, PCT und Intel IBIST im Rahmen einer durchgängigen Plattformumgebung ergibt. Jedes Testverfahren von ScanWorks erreicht seine ganz eigene, signifikante Testabdeckung. Kombiniert auf der ScanWorks-Plattform bietet die NBT-Technologien eine Testabdeckung sowie Diagnosefunktionen, die mit denen älterer kontaktgebundener Technologien – beispielsweise ICT (In-Circuit Test), MDA (Manufacturing Defect Analyzer), Flying-Probe und andere – mithalten können oder diese sogar übertreffen. (jj)

	infoDIRECT	506ei0810
	Link zu Asset Intertech	
www.elektronik-industrie.de		