

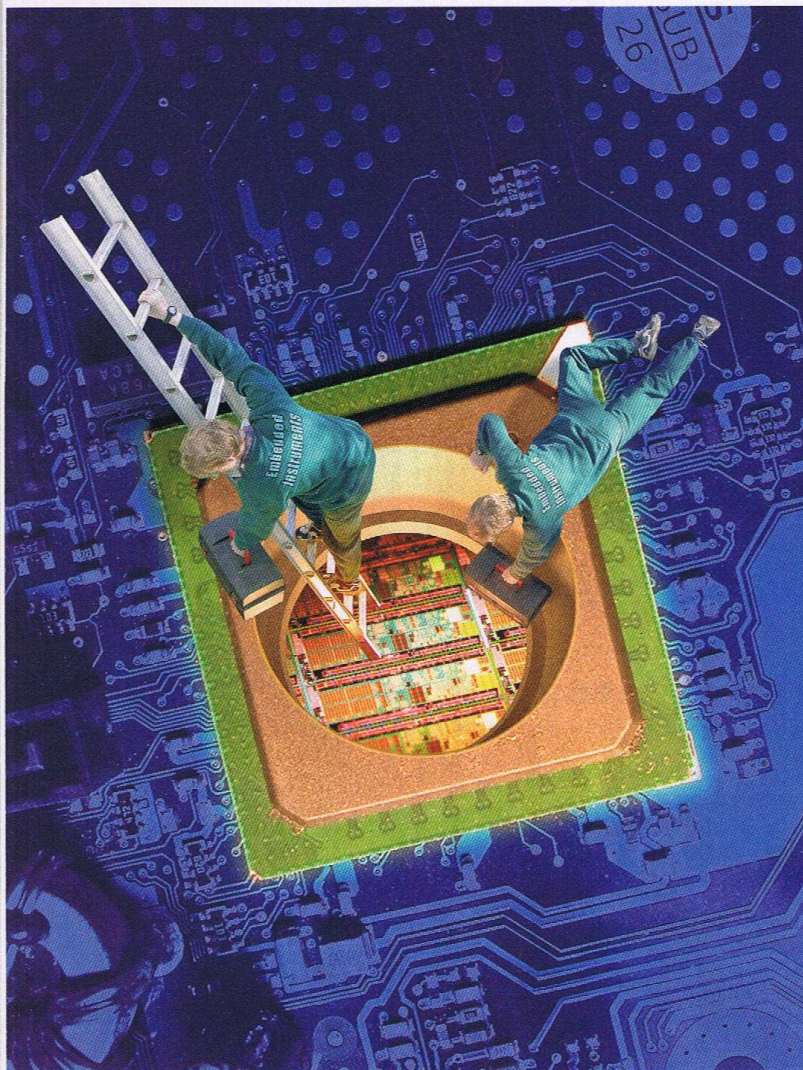
Publication: Elektronik Praxis – Special Edition "Embedded Systems Development"
Print/Page: 46-49
Issue date: April 21, 2011
Link: <http://www.elektronikpraxis.vogel.de/baugruppenfertigung/articles/290015/>

EMBEDDED SOFTWARE ENGINEERING // INSTRUMENTIERUNG

Neues Zeitalter für elektronische Test- und Messmethoden

Elektronikhersteller haben ganz unterschiedliche Einstellungen gegenüber Tests und Messungen. Für einige ist das Thema zweitrangig, andere hoffen einfach, dass schon alles in Ordnung sein wird.

REG WALLER *



Embedded-Instrumentierung: Neues Zeitalter für elektronische Test- und Messmethoden

Mehrere Produktrückrufaktionen und spektakuläre Fehlschläge in der Industrie haben in den vergangenen Jahren für großes Aufsehen in den Medien gesorgt und deutlich gemacht, wie wichtig die Produktqualität – abgesichert durch Tests und Messungen – für die wirtschaftliche Lage, ja sogar für das Überleben eines Herstellers sein kann.

Seit einigen Jahren befindet sich die Embedded-Instrumentierung als Test- und Messmethode zur Sicherung der Qualität von Chips, Leiterplatten und Systeme auf dem Vormarsch. Was aber genauso wichtig ist: Embedded-Instrumentierung wird auch einen entscheidenden Beitrag zu den technischen Fortschritten der Industrie leisten, die in den Augen vieler Experten unweigerlich erzielt werden.

Was ist eigentlich Embedded-Instrumentierung?

Messinstrumente werden nun schon seit einiger Zeit in Chips, auf Leiterplatten und in Systeme eingebaut. Im Prinzip enthält Embedded-Instrumentierung immer eine Art von Test- und Messlogik, die auf der Chip- und Board-Ebene eingebunden ist. Der Halbleiterhersteller implementiert diese Instrumente beispielsweise:

- zur Charakterisierung,
- zum Debuggen oder
- zum Testen seiner Chips.

Oder Board- und Systemdesigner betten eigens entwickelte Instrumentierung bzw. gekauftes IP in die ASICs, FPGAs und die anderen programmierbaren Logikbausteine ihrer Designs ein.

Bis vor kurzem war ein Großteil der Embedded-Instrumentierung streng zweckge-



* Reg Waller
... ist European Regional Director bei ASSET InterTech, England.

EMBEDDED SOFTWARE ENGINEERING // INSTRUMENTIERUNG

bunden. Beispielsweise diente ein Instrument, das ein Chipanbieter für das Debugging einer Komponente eingebettet hatte, ausschließlich diesem Zweck und wurde für den Board-Designer gesperrt.

Oder ein Instrument für Boardtest-Zwecke in einem ASIC ist nicht mehr nutzbar, sobald das Board in einem System im Feld implementiert wird, wo Servicemitarbeiter dieses Instrument für Diagnosezwecke sinnvoll verwenden könnten.

Wozu eigentlich Embedded-Instrumentierung?

Diese Einschränkungen werden jetzt abgebaut, da die Verlagerung der Validierungs-, Test- und Debug-Routinen von den Chips auf die Leiterplatten und letztendlich in die Systeme im Feld wesentlich effektiver und kostengünstiger ist, als neue Routinen in jeder Phase des Lebenszyklus zu entwickeln.

Die Vorteile der Embedded-Instrumentierung summieren sich über den gesamten Lebenszyklus eines Systems hinweg – angefangen mit den ersten Phasen des Chip-Designs bis hin zu Servicearbeiten im Feld.

Seit den Anfängen der Elektronikindustrie nutzen Designer und Fertigungsingenieure externe Instrumente wie Oszilloskope und Logik-Analyser zur:

- Validierung von Designs,
- Verifizierung der Signalintegrität auf internen Chip-zu-Chip-Verbindungen und I/O-Bussen,
- Fehlerdiagnose.

Später kamen große, teure und in ihrem Hardwarebedarf aufwändige Geräte wie ICT (In-Circuit Test), MDA (Manufacturing Defect Analyzer) und Flying-Probe-Systeme für Fertigungstests hinzu. Alle diese Validierungs- und Testgeräte arbeiten mit einer

Sonde, die für die Anwendung von Testmustern und das Auslesen von Ergebnissen den physischen Kontakt mit einem Testpad oder einem Baueinanschluss erfordert.

Aufgrund der wachsenden Komplexität und Geschwindigkeit von Chips, Bussen und Systemen in den letzten Jahren und mit der zunehmenden Dichte und Integration von Halbleiterkomponenten auf Boards treten die Unzulänglichkeiten von kontaktgebundenen Test-Technologien auf der Basis von Sonden nur allzu deutlich zutage.

Darüber hinaus verstärken die neuen Multi-Die-3D-Chipgehäusetechniken wie SiP (System-In-Package), PoP (Package-On-Package) und andere nur noch die Schwierigkeiten, die sich den Ingenieuren bei Validierung, Tests und Debugging auf der Chip-Ebene stellen.

Ältere kontaktgebundene Technologien wie ICT-Systeme (In-Circuit Test) nutzen eine Testanordnung, bei der eine Sonde verwendet wird. Die Sonden werden an Testpads auf der Leiterplatte (Prüfling) angelegt, um Testsignale mitzuverfolgen (Bild 1).

Bestückungsdichte auf Leiterplatten nimmt stetig zu

Das Verschwinden von Anlegepunkten für Sonden ist eine der größten Schwierigkeiten für ältere, kontaktgebundene Testgeräte. Viele Leiterplatten sind mittlerweile so dicht bestückt, dass der Platz, der früher Testpunkte vorbehalten war, einfach nicht mehr vorhanden ist.

Zudem werden jetzt viele Boards im Mehrschichtverfahren gefertigt, wodurch der direkte Zugang zu den Leiterbahnen auf den inneren Schichten praktisch vollkommen versperrt ist. Darüber hinaus wurden bei Komponentengehäuse in Chipgröße wie bei

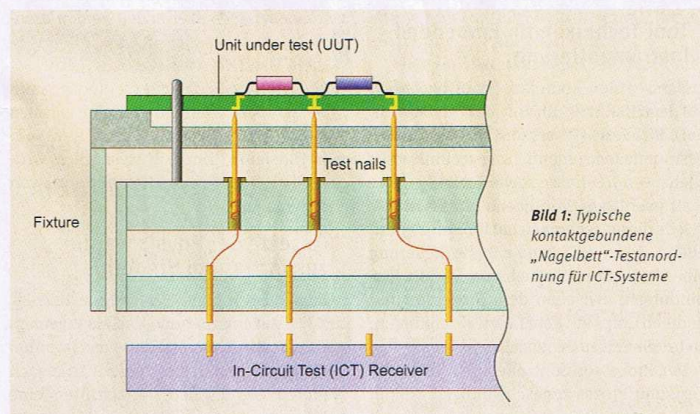


Bild 1: Typische kontaktgebundene „Nagelbett“-Testanordnung für ICT-Systeme

EMBEDDED SOFTWARE ENGINEERING // INSTRUMENTIERUNG

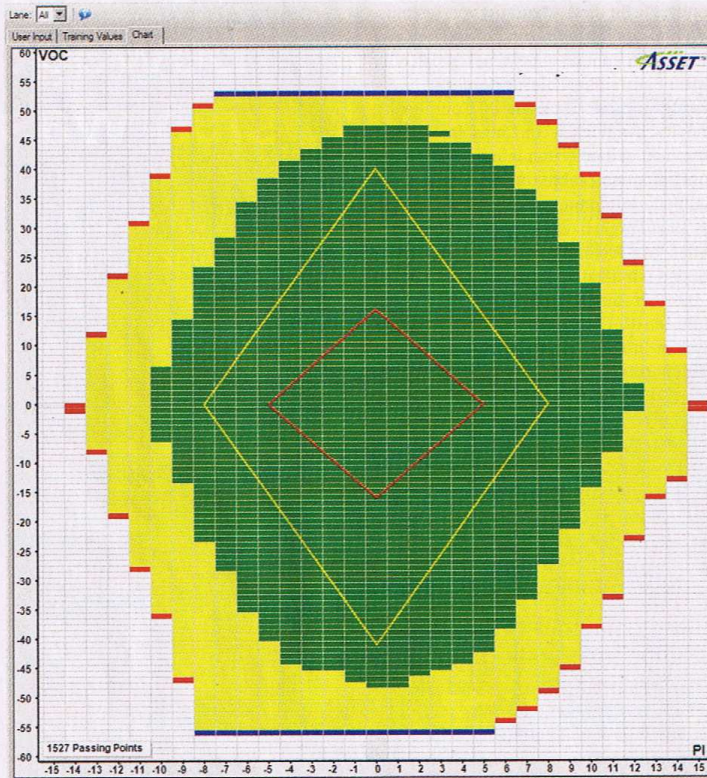


Bild 2: Die Ergebnisse eines berührungslosen Margining-Tests mit der Embedded-Instrumentationstechnologie IBIST von Intel können in einer Tool-Plattform eines Drittanbieters wie ScanWorks von ASSET angezeigt werden

BGAs die Bausteinpins, die früher das Anlegen einer Testsonde ermöglicht haben, mit Lötverbindungen unter dem Die ersetzt, die nicht mit einer Sonde getestet werden können.

Aber selbst wenn auf einer Leiterplatte ausreichend Platz für Testpunkte bereitstehen würde – viele der seriellen Highspeed-Busse und Komponenten-Interconnects sind heute so empfindlich, dass das Anbringen eines Testpunktes die Signalintegrität auf dem Bus nachteilig beeinflussen würde. Die Verwendung einer Sonde oder eines Pads auf Bussen wie

- PCI Express,
- QuickPath Interconnect (QPI) von Intel,
- SATA 3,
- USB 3.0 etc.

hat einen kapazitiven Effekt auf die Signalisierung des Busses. Deshalb werden Pads auf diesen Bussen unter allen Umständen vermieden. Im Laufe der Jahre sind die Geschwindigkeiten von I/O-Bussen auf Leiter-

platten beständig gestiegen (Tabelle 1). Verschiedene softwarebasierte, berührungslose Techniken, die ohne Sonden auskommen, können die Basis für Tools bieten, die von Embedded-Instrumentierung profitieren.

Tool-Techniken für Embedded-Instrumentierung

Dazu zählen Boundary-Scan (basierend auf dem IEEE 1149.1 und oft als JTAG bezeichnet), PCT-Tests (Processor-Controlled Test), bestimmte Instrumentierungstechniken für Highspeed-I/O-Busse sowie Techniken, die Instrumente auf Chip-Ebene ansteuern.

Jede dieser Techniken hat ihre ganz speziellen Stärken. PCT kann z.B. die Steuerung eines Prozessors übernehmen, um die Verbindungen zwischen dem Prozessor und anderen Chips auf dem Board zu validieren, zu testen und zu debuggen.

Der Processor-Controlled Test führt die Tests mit Prozessorgeschwindigkeit durch und braucht kein Betriebssystem. Damit

kann es Boards testen, auf denen kein Boot-Prozess abläuft.

Der IBIST (Interconnect Built-In Self Test) von Intel ist ein Beispiel für eine Embedded-Instrumentierungstechnik für Highspeed-I/O-Busse. Intel hat Lizenzen für IBIST an Halbleiterhersteller wie Avago und andere vergeben. Derzeit wird IBIST oft in Designvalidierungsanwendungen eingesetzt, wo

- Mustergenerierung- und -prüfung,
 - Bitfehlerraten-Prüfung und
 - Margining-Tests
- zur Überprüfung der Signalintegrität eines Boards angewendet werden. IBIST wird aber auch in strukturellen Boardtest-Applikationen genutzt (Bild 2).

Boundary Scan und berührungslose Leiterplattentests

Boundary-Scan ist eine berührungslose strukturelle Boardtest-Technik zur Prüfung auf Kurzschlüsse und Unterbrechungen. Wenn sie auf der Chip-Ebene implementiert ist, wird die Boundary-Scan-Schnittstelle oft als JTAG-Port bezeichnet (benannt nach der Joint Test Action Group, die mit der Entwicklung des Standards begann).

Das IEEE hat verschiedene zusätzliche Standards in der Boundary-Scan-Familie ratifiziert, darunter den

- 1149.6 für AC-gekoppelte Highspeed-Interconnects oder
- den kürzlich verabschiedeten Standard IEEE 1149.7,

der die Funktionalität des ursprünglichen Standards erweitert und eine kompaktere Schnittstelle bietet.

Diese und andere Embedded-Instrumentierungstechniken können zu NBT-Strategien (Non-intrusive Board Test – berührungslose Boardtests) kombiniert werden, die eine Testabdeckung bieten, die der gleichkommt oder die übertrifft, die mit älteren kontaktgebundenen Techniken erzielt werden konnten.

Viele Hersteller verlegen sich auf NBT-Strategien, weil sie damit die heutigen anspruchsvollen Leiterplatten effektiver testen können. Und da sie zum größten Teil auf Software basieren, sind sie wesentlich wirtschaftlicher als frühere Generationen von Testtechniken.

Gesetze der Physik werden zukünftig zum Hindernis

Embedded-Instrumentierungstechniken für die Ansteuerung und das Management von Instrumenten auf Chipebene werden beim ständigen Streben der Industrie nach weiteren technischen Fortschritten eine Schlüsselrolle spielen. So ist das Mooresche

Publication: Elektronik Praxis – Special Edition "Embedded Systems Development"
Print/Page: 46-49
Issue date: April 21, 2011
Link: <http://www.elektronikpraxis.vogel.de/baugruppenfertigung/articles/290015/>

EMBEDDED SOFTWARE ENGINEERING // INSTRUMENTIERUNG

BUS NAME	STANDARDGESCHWINDIGKEIT (GB/S BZW. GT/S)	EINFÜHRUNGSAHR
PCI Express I	2,5	2002
PCI Express II	5,0	2008
PCI Express III	8,0	2010
Serial ATA I	1,5	2002
Serial ATA II	3,0	2005
Serial ATA III	6,0	2009
USB 1.0	0,012	1996
USB 2.0	0,480	2000
USB 3.0	4,8	2008
XAUI	3,125	2005
Intel QUP	6,4	2008
HDMI 1.0	4,9	2002
HDMI 1.3	10,2	2006

Frost & Sullivan

Tabella 1: Im Laufe der Jahre sind die Bus-Geschwindigkeiten von I/O-Bussen auf Leiterplatten beständig gestiegen

Gesetz seit fünf Jahrzehnten die Messgröße für den Fortschritt der Branche. Aber jetzt, da die Prozessgeometrien noch weiter im Submicron-Bereich schrumpfen, werden die Gesetze der Physik zum Hindernis.

3D-Chips sollen Moore's Law weiter gelten lassen

Laut Ansicht von einigen Experten sind 3D-Chips mit Multi-Die-Technik und TSVs (Through-Silicon Vias) eine effektive Möglichkeit, um die Gültigkeit des Mooreschen Gesetzes ("Gesetz" im Sinne von "Gesetzmäßigkeit") auch weiterhin zu gewährleisten, das besagt, dass sich die Komplexität integrierter Schaltkreise mit minimalen Komponentenkosten regelmäßig verdoppelt - je

nach Quelle werden 18 oder 24 Monate als Zeitraum genannt.

Zu den größten Problemen im Zusammenhang mit 3D-Chips zählen die Methoden, die den Herstellern für die Validierung, das Testen und das Debugging dieser Komponenten zur Verfügung stehen, um eine akzeptable Ausbeute zu erzielen.

Und hier kommen einige neue Standards für Embedded-Instrumentierung zum Tragen. Der kompakte Boundary-Scan, der in Standardregelwerk IEEE 1149.7 definiert ist, wird den Erwartungen nach Zugriffsmöglichkeiten und weitere Testfunktionen für den Multi-Die in einem 3D-Chip zur Verfügung stellen.

Und ein weiterer neuer Standard, der vorläufige Internal-JTAG-Standard IEEE P1687, ermöglicht das Management und die Ansteuerung von On-Chip-Instrumenten, die auf dem Halbleiter integriert sind.

Viele Halbleiterhersteller und Test-Unternehmen wirken derzeit an der Entwicklung des IEEE P1687 mit. Die Ratifizierung des Standards wird im Laufe des Jahres 2011 erwartet. // HH

ASSET InterTech +44(0)7939 423543

InfoClick

- Das Produktangebot von ASSET InterTech
- ASSETs Technologien für die Embedded-Instrumentierung

www.elektronikpraxis.de

InfoClick 2379596

**PRAXIS
WERT**

Neue Ära in der Test- und Messtechnik

Embedded-Instrumentierung mag zwar keine neue Methode sein, aber die lückenlose Anwendung während des Produktlebenszyklus wird nicht nur die Qualität von Systemen verbessern, sondern auch eine ganz neue Ära für Tests und Messungen einläuten.